

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-310717

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/784

9054-4M

H01L 29/78

301 S

9054-4M

301 H

審査請求 未請求 請求項の数8 OL (全12頁)

(21)出願番号

特願平5-96408

(22)出願日

平成5年(1993)4月23日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 藤田 光一

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

(74)代理人 弁理士 早瀬 憲一

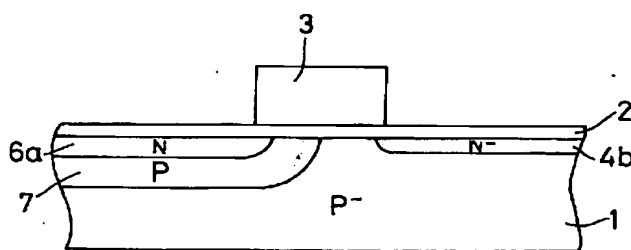
(54)【発明の名称】 電界効果トランジスタ及びその製造方法

(57)【要約】

【目的】 MOS型電界効果トランジスタにおいて、高周波動作化と高耐圧化を図る。

【構成】 ソース電極側に基板1と異なる導電型の高濃度不純物拡散層6aと、基板1の同一導電型でかつ基板1よりも不純物濃度の高い不純物拡散層7を形成する。

【効果】 ソース側の不純物拡散層を高濃度化することでトランジスタのオン抵抗の低減を図ることができ、また上記ソース側の不純物拡散層下方を基板よりも不純物濃度の高い不純物拡散層で覆うことにより、ドレイン・ソース間に逆電圧を印加した際に空乏層がゲート電極直下に拡がりにくくなり、パンチスルー降伏が抑制される。ソース電極側にのみ基板濃度よりも高い不純物拡散層が形成されているため、しきい値電圧の低下を招くことなく電子の移動度の向上を図ることができる。



1:P⁻半導体基板 6a:ソース側N⁺拡散層
2:ゲート酸化膜 7:ソース側P⁺拡散層
3:ゲート電極 4b:ドレイン側N⁺拡散層

【特許請求の範囲】

【請求項1】 第1導電型の基板上に絶縁膜を介して配置されたゲート電極と、

上記ゲート電極の一方側に形成された第2導電型のドレイン側低濃度不純物拡散層と、

上記ゲート電極の他方側に形成された第2導電型のソース側高濃度不純物拡散層と、

上記ソース側高濃度不純物拡散層の下側に、これを覆うよう形成され、上記基板よりも不純物濃度の高い第1導電型不純物拡散層とを備えたことを特徴とする電界効果トランジスタ。

【請求項2】 第1導電型の半導体基板の所定領域に形成されたゲート電極と、該ゲート電極両側に該電極から所定距離離して形成されたソース及びドレイン高濃度不純物拡散層と、該両高濃度不純物拡散層とゲート電極との間に形成され、前記ソース及びドレイン高濃度不純物拡散層よりも不純物濃度の低い低濃度不純物拡散層とを備えた電界効果トランジスタにおいて、

上記ソース側の高濃度不純物拡散層の上記ゲート電極までの距離は、上記ドレイン側の高濃度不純物拡散層から上記ゲート電極までの距離よりも短いことを特徴とする電界効果トランジスタ。

【請求項3】 請求項2記載の電界効果トランジスタにおいて、

上記ソース側の低濃度不純物拡散層の下側に、これを覆うよう、上記基板よりも不純物濃度の高い第1導電型不純物拡散層を形成したことを特徴とする電界効果トランジスタ。

【請求項4】 請求項3記載の電界効果トランジスタにおいて、

上記ゲート電極両側にサイドウォールを有することを特徴とする電界効果トランジスタ。

【請求項5】 ゲート電極をマスクに用いて不純物注入を行いソース・ドレイン不純物拡散層を形成する工程を有する電界効果トランジスタの製造方法において、

第1導電型の半導体基板上の所定領域に形成されたゲート電極をマスクとして第2導電型の不純物注入を行いソース・ドレイン側低濃度不純物拡散層を形成する工程と、

上記ゲート電極を中心としてソース電極側を開孔し、かつドレイン電極側を被覆するフォトリソパターンを上記基板上に形成し、該フォトリソパターンをマスクとして第2導電型の不純物注入を行い上記ソース側低濃度不純物拡散層をソース側高濃度不純物拡散層に変化させる工程と、

上記フォトリソパターンをマスクとして第1導電型の不純物を斜め回転注入して上記ソース側高濃度不純物拡散層の下方に、これを覆うように、上記基板よりも不純物濃度の高い第1導電型不純物拡散層を形成する工程とを含むことを特徴とする電界効果トランジスタの製造

方法。

【請求項6】 ゲート電極をマスクに用いて不純物注入を行いソース・ドレイン不純物拡散層を形成する工程を有する電界効果トランジスタの製造方法において、

第1導電型の半導体基板上の所定領域に形成されたゲート電極をマスクとして第2導電型の不純物注入を行いソース・ドレイン側低濃度不純物拡散層を形成する工程と、

上記ソース側低濃度不純物拡散層よりもドレイン側低濃度不純物拡散層の方の被覆幅が大きなフォトリソパターンを上記基板上に形成し、該フォトリソパターンをマスクとして第2導電型の不純物注入を行い、ソース・ドレイン側高濃度不純物拡散層を形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【請求項7】 ゲート電極をマスクに用いて不純物注入を行いソース・ドレイン不純物拡散層を形成する工程を有する電界効果トランジスタの製造方法において、

第1導電型の半導体基板上の所定領域に形成されたゲート電極をマスクとして第2導電型の不純物注入を行いソース・ドレイン側低濃度不純物拡散層を形成する工程と、

上記ゲート電極を中心としてソース電極側を開孔し、かつドレイン電極側を被覆するフォトリソパターンを上記基板上に形成し、該フォトリソパターンをマスクとして第1導電型の不純物注入を行い、上記ソース側高濃度不純物拡散層の下方に、これを覆うように、上記基板よりも不純物濃度の高い第1導電型不純物拡散層を形成する工程と、

上記フォトリソパターンを除去した後、上記ソース側低濃度不純物拡散層よりもドレイン側低濃度不純物拡散層の方が被覆幅の大きなフォトリソパターンを上記基板上に形成し、該フォトリソパターンをマスクとして第2導電型の不純物注入を行い、ソース・ドレイン側高濃度拡散層を形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【請求項8】 ゲート電極をマスクに用いて不純物注入を行いソース・ドレイン不純物拡散層を形成する工程を有する電界効果トランジスタの製造方法において、

第1導電型の半導体基板上の所定領域に形成されたゲート電極及びこれの側壁に形成されたサイドウォールをマスクとして第2導電型の不純物を斜め回転注入してソース・ドレイン側低濃度不純物拡散層を形成する工程と、

上記ゲート電極を中心としてソース電極側を開孔し、かつドレイン電極側を被覆するフォトリソパターンを上記基板上に形成し、該フォトリソパターンをマスクとして第1導電型の不純物注入を行い、上記ソース側低濃度不純物拡散層の下方に、これを覆うように、上記基板よりも不純物濃度の高い第1導電型不純物拡散層を形成する工程と、

上記ソース側低濃度不純物拡散層よりもドレイン側低濃度不純物拡散層の方が被覆幅の大きなフォトレジストパターンを上記基板上に形成し、該フォトレジストパターンをマスクとして第2導電型の不純物注入を行い、ソース・ドレイン側高濃度不純物拡散層を形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は電界効果トランジスタ及びその製造方法に関し、特にMOS型電界効果トランジスタの高周波動作化、低電圧動作化、高耐圧化技術に関するものである。

【0002】

【従来の技術】図9は従来のNチャネル型のMOS型電界効果トランジスタ（以下、MOSFETと称す）の製造工程の一部を示した断面図であり、図において、1はP型半導体基板、2は該基板1上に設けられたゲート酸化膜、3はゲート酸化膜2上に、高融点金属または多結晶シリコンを成膜、加工して得られたゲート電極、6d、6eはそれぞれゲート電極3をマスクとしてリンまたはヒ素等のN型不純物を注入して形成したソース側N拡散層とドレイン側N拡散層である。

【0003】図10は従来のゲート長短縮時にしきい値電圧の変動の低減、耐圧の低下を抑制するために用いられてきたMOSFETの製造工程の一部を順に示した断面図であり、図10において、9はゲート電極3加工後、基板1上全面に酸化膜を成膜しこれを異方性エッチングにより除去した際に上記ゲート電極3両端に形成されるサイドウォール、4c、4dは上記ゲート電極3およびサイドウォール9をマスクとしてリンまたはヒ素等N型不純物の傾斜角付回転注入により形成したソース側N⁻拡散層、ドレイン側N⁻拡散層である。また、6b、6dはゲート電極3、サイドウォール9をマスクとしてリンまたはヒ素等N型不純物をソース側N⁻拡散層4c、ドレイン側N⁻拡散層4dよりも高濃度に注入して形成したソース側N拡散層、ドレイン側N拡散層である。

【0004】次に従来のMOSFETの製造工程の一部について説明する。図9において、P型半導体基板1上にゲート酸化膜2を熱酸化にて数十nm成膜する。その上部全面に高融点金属または多結晶シリコン膜を数百nm成膜し、長さ1μm程度のゲート電極3に加工する。次いで該ゲート電極3をマスクとしてリンまたはヒ素等のN型不純物を注入して、ソース側N拡散層6d、ドレイン側N拡散層6eをそれぞれ形成する。以後、不純物アニール（図示せず）、層間膜形成、配線形成工程を経てMOSFETの全工程が完了する。次に動作について説明する。周知のように、図示していないドレイン電極に正電圧を印加し、ソース電極を接地し、ゲート電極3

に正電圧を印加することで、ゲート電極3直下のP⁻型半導体基板1がN型に反転し、MOSFETとして動作する。逆にドレイン電極とソース電極間に逆方向電圧を印加した際に、ゲート電極3直下のドレインN拡散層6eが最も高電界となり、アバランシェ降伏を引き起こす。さらに、P⁻型半導体基板1の不純物濃度がドレインN拡散層6eの不純物濃度よりも低い場合、ドレインN拡散層6eより発生する空乏層がソースN拡散層6dに到達し、パンチスルー降伏が発生する。また、ゲート電極3に印加するしきい値電圧は、P⁻型半導体基板1の不純物濃度とゲート酸化膜2の膜厚とによって決定される。図9の構造において、ゲート電極3の長さを1μm以下にした場合、前述のアバランシェ降伏、パンチスルー降伏が顕著になり、実用に耐える降伏電圧が得られなくなる。また、ゲート電極3直下の等電位面が湾曲するために、しきい値電圧の低下が生じることとなる。

【0005】そこで従来の解決策としてLDD（Lightly Doped Drain）と言われる構造が採用されている。すなわち図10(a)に示すように、ゲート電極3加工後、半導体基板全面に図示しない酸化膜を成膜し、これを異方性エッチングにより除去する。この際、ゲート電極3両端は酸化膜厚が、ゲート電極3より離れた平坦部より厚くなるために酸化膜未除去部が生じ、これをサイドウォール9として用いる。サイドウォール9形成後、ゲート電極3をマスクとして傾斜角付回転注入によりリン等のN型不純物を注入して、ソース側N⁻拡散層4c、ドレイン側N⁻拡散層4dを形成する。続いて図10(b)に示すように、ゲート電極3、サイドウォール9をマスクとしてリンまたはヒ素等のN型不純物を、傾斜角を0°または7°として、上記形成したソース側N⁻拡散層4c、ドレイン側N⁻拡散層4dよりも高濃度に注入して、ソース側N拡散層6b、ドレイン側N拡散層6dを形成する。

【0006】次に動作について説明する。図示していない以後の製造工程にて形成したドレイン電極に正電圧を印加し、ソース電極を接地した際、本構造においては、ゲート電極3直下のソース側N⁻拡散層4cにより電界強度が緩和されるため、アバランシェ降伏、パンチスルー降伏が抑制される。また、逆方向電圧印加時のゲート電極3直下の等電界面の湾曲の曲率半径は、ソース側N⁻拡散層4c、ドレイン側N⁻拡散層4dにより広げられるために、ゲート電極3に印加するしきい値電圧の低下が抑制される。

【0007】

【発明が解決しようとする課題】従来の電界効果トランジスタは以上のように構成されているので、ゲート長の短縮に伴って降伏電圧が低下するという問題が不可避となり、しきい値電圧の低下の抑制が困難になるという問題点があった。そしてこれらの問題点の解決策として上述のようにLDD構造を採用した場合、一般的なIC回

路では十分な効果が得られるが、高周波動作する回路に用いられた場合には十分な効果が得られないという問題があった。また、基板濃度自身を濃くすることにより、降伏電圧の低下及びしきい値電圧の低下の抑制を図る方法も知られているが、このような方法ではゲート電極直下に発生するチャンネルを走行する電子の移動度の低下を引き起してしまい、高速動作化に対して不利となるという問題点があった。

【0008】この発明は上記のような問題点を解消するためになされたもので、ゲート長を短縮しても降伏電圧の低下、しきい値電圧の変動を抑制することができ、高周波動作化、高耐圧化が可能なMOS型電界効果トランジスタを得ることを目的としており、さらに上記MOS型電界効果トランジスタを得るのに適した製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】この発明に係る電界効果トランジスタは、第1導電型基板上に形成されたゲート電極をマスクとしてイオン注入によりソース・ドレイン不純物拡散層を形成する際、ソース電極側を開口するレジストマスクにより第2導電型の不純物を高濃度に注入してソース側不純物拡散層を形成し、さらに同レジストマスクにより第1導電型の不純物を高濃度に注入して上記ソース側不純物拡散層を覆う第1導電型不純物拡散層を形成したものである。

【0010】また、ソース電極側よりもドレイン電極側の被覆幅の大きなレジストを用いてソース・ドレイン不純物拡散層を形成するようにしたものである。

【0011】

【作用】この発明においては、ゲート電極のソース側に、基板と異なった導電型の高濃度なソース不純物拡散層が形成されているので、トランジスタのオン抵抗が低減される。また、上記ソース不純物拡散層を覆うように形成された、基板と同じ導電型の不純物拡散層によって、ドレイン・ソース間耐圧の向上、しきい値電圧の変動の抑制、ゲート・ソース間容量の低減を図ることができる。

【0012】また、ゲート電極端からドレイン不純物拡散層までの距離を長くすることで、ドレイン・ソース間に逆方向電圧を印加した際に、空乏層がドレイン側に拡がるようになり、電界強度が緩和され耐圧が向上する。

【0013】

【実施例】実施例1. 以下、この発明の第1の実施例によるMOS型電界効果トランジスタを図について説明する。図1において、1はP-半導体基板、2はP-半導体基板1上に形成したゲート酸化膜、3はゲート酸化膜2上に高融点金属または多結晶シリコンにより形成したゲート電極、4a、4bはそれぞれゲート電極3をマスクとしてリンまたはヒ素等N型不純物を注入して形成するソース側N-拡散層、ドレイン側N-拡散層、6aは

ドレイン部を被覆するレジストマスクを用いてソース電極側にリンまたはヒ素等N型不純物を注入して形成したソース側N拡散層である。また7は、傾斜回転注入によりボロン等の不純物を注入して形成されたP型拡散層である。

【0014】次に製造方法について説明する。まず、図2(a)に示すように、P-半導体基板1上に熱酸化等にて数十nmのゲート酸化膜2を形成し、その上部に高融点金属または多結晶シリコンを数百nm成膜し、長さ1μm程度のゲート電極3を形成する。続いて、該ゲート電極3をマスクとしてリンまたはヒ素等N型不純物を注入して、ソース側N-拡散層4a、ドレイン側N-拡散層4bを形成する。

【0015】次に図2(b)に示すように、ゲート電極3上を境界としてソース電極側を開孔し、ドレイン電極側を被覆するようにドレイン部被覆レジストマスク5を形成する。ドレイン部被覆レジストマスク5のソース電極側ではゲート電極3が露出しているので、このマスクにイオン注入を行った際にゲート電極3のソース端部を基準としたイオン注入が行える。この方法によって、まずソース電極部にリンまたはヒ素等の高濃度N拡散層6aを形成する。

【0016】さらに図2(c)に示すように、同じドレイン部被覆レジストマスク5を用いて、傾斜回転注入によりボロン等の不純物を注入してP型拡散層7を形成する。

【0017】次に作用効果について説明する。ソース側N拡散層6aを高濃度化することでオン抵抗の低下が図れ、低電圧動作化が図れる。また、ドレイン・ソース間に逆電圧を印加した際に、ソース側P拡散層7が存在するためにゲート電極3直下に空乏層が拡がりにくくなり、このため短チャネル効果によるパンチスルー降伏を抑制し、ドレイン・ソース間耐圧を向上することができる。また、ソース側P拡散層7のためにゲート電極3直下のP型の不純物濃度が部分的に上昇し、ゲート電極3直下のドレイン側のP型不純物濃度はP-半導体基板1と同様であり、このため電子の移動度を向上させるためにP-半導体基板1の濃度を低下させても、上記部分的にP型不純物濃度の高い領域が存在するためにしきい値電圧の低下を招くことはない。さらに、ソース側N拡散層6aの外周部およびゲート電極3直下にソース側P拡散層7が分布することから、ソース側N拡散層6aとゲート電極3間の重なり部分を低減でき、このためゲート・ソース間容量を低減することが可能となり、ゲート・ソース間容量と反比例の関係にある遮断周波数を向上させることが可能となる。

【0018】実施例2. 次に本発明の第2の実施例によるMOS型電界効果トランジスタを図について説明する。図3において、6b、6cはソース側N-拡散層4a、ドレイン側N-拡散層4bの形成後に、ソース及び

ドレイン領域をそれぞれ所定量覆うレジストをマスクとしてイオン注入して形成されたソース側N拡散層、ドレイン側N拡散層である。

【0019】次に製造方法について説明する。図4(a)は上記図2(a)の工程と同一の工程であり、ゲート電極3をマスクとしてリンまたはヒ素等のN型不純物を注入し、ソース側N⁻拡散層4aとドレイン側N⁻拡散層4bを形成する。続いて図4(b)に示すように、ゲート電極3、及びソース側N⁻拡散層4aとドレイン側N⁻拡散層4bの一部を被覆するN⁻拡散層被覆レジストマスク8を形成する。この場合、ソース側N⁻拡散層4aの一部の被覆巾は1 μ m以下とし、ドレイン側N⁻拡散層4bの一部の被覆巾は2 μ m程度とする。これはソース側N⁻拡散層4aについては最終的に形成される該拡散層4aによってゲート電極3との重なりを極力狭くすることでゲート・ソース間容量を低減するためであり、これにより遮断周波数を向上させることが可能となる。ただし、このときN⁻拡散層被覆レジストマスク8による該拡散層4a部分の被覆巾が大きくなると、ソース抵抗の増大を引き起こし、高周波特性の低下を引き起こすことになる。一方、ドレイン側N⁻拡散層4bについては、図示していないドレイン電極、ソース電極間に逆電圧を印加した際に発生する空乏層を、ゲート電極3直下のみにではなく最終的に形成されるドレイン側N⁻拡散層4bの範囲にわたって拡げることによりドレイン側N⁻拡散層4bのゲート電極3端部における電界を緩和する効果を奏するものである。ドレイン側N⁻拡散層6cはゲート電極3からドレイン側N⁻拡散層4b分の適度の距離をとって形成する必要がある。

【0020】そしてN⁻拡散層被覆レジストマスク8をマスクとしてリンまたはヒ素等の高濃度N型不純物を注入することにより、ソース側N⁻拡散層6b、ドレイン側N⁻拡散層6cを形成する。これらのN⁻拡散層6b、6cによりオン抵抗の低下を図ることができる。

【0021】このように本実施例によれば、ゲート電極3に対して、ソース領域側のN⁻拡散層4aをドレイン電極側のN⁻拡散層4bよりも短く形成することにより、ゲート電極3とN⁻拡散層6bとの重なりが小さくなり、ゲート・ソース間容量を低減でき、またソース領域側のN⁻拡散層4aよりも長く形成されたドレイン電極側のN⁻拡散層4bによりドレイン・ソース間に逆方向電圧が印加した際に空乏層がドレイン側により大きく拡がるようになり、ドレイン・ソース間耐圧を向上することができる。

【0022】実施例3. 次に本発明の第3の実施例によるMOS型電界効果トランジスタを図について説明する。図5に示すように、本実施例では上記第2の実施例のLDD構造に加えて、ソース電極側にN⁻拡散層6b、N⁻拡散層4aを囲むソース側P拡散層7を設けたものである。

【0023】次に製造方法について説明する。図6(a)は上記図2(a)の工程と同一の工程であり、ゲート電極3をマスクとしてリンまたはヒ素等のN型不純物を注入し、ソース側N⁻拡散層4aとドレイン側N⁻拡散層4bを形成する。続いて図6(b)に示すように、ドレイン部被覆レジストマスク5を設け、ソース電極部が開孔された状態で、ボロン等のP型不純物を傾斜角付回転注入を行い、ソース側P拡散層7を形成する。次に図6(c)に示すように、N⁻拡散層被覆レジストマスク8を形成し、リンまたはヒ素等の高濃度不純物注入によりソース側N⁻拡散層6b、ドレイン側N⁻拡散層6cをそれぞれ形成する。最終的に形成されるソース側N⁻拡散層4a、ドレイン側N⁻拡散層4bの大きさは上記実施例2と同様とする。

【0024】以上のように構成することにより、ソース側N⁻拡散層6aの濃度が高くなっているためにオン抵抗の低下が図れ、またソース側N⁻拡散層6aが基板1よりも不純物濃度の高いP拡散層7で覆われているためN⁻拡散層6aとゲート電極3の重なり部分が低減されて、ゲート・ソース間容量の低下による高周波特性の向上と、パンチスルー降伏、アバランシェ降伏の抑制による耐圧の向上が図れ、さらにソース・ドレイン間に基板よりも不純物濃度の高い拡散層7があるために、ゲート電極3の長さを短縮した際の短チャネル効果によるしきい値電圧の変動が防止できる。

【0025】実施例4. 次に本発明の第4の実施例によるMOS型電界効果トランジスタを図について説明する。図7において、9はゲート電極3の側壁に形成された酸化膜からなるサイドウォールである。

【0026】次に製造方法について説明する。図8(a)は従来例で説明した図10(a)の工程と同一の工程であり、ゲート電極3及び酸化膜からなるサイドウォール9をマスクとして傾斜角付回転注入によりリン等のN型不純物を注入してソース側N⁻拡散層4cとドレイン側N⁻拡散層4dを形成する。続いて図8(b)に示すように、ドレイン部被覆レジストマスク5を形成し、ボロン等のP型不純物を傾斜角付回転注入によって注入し、ソース側P拡散層7を形成する。さらに図8(c)に示すように、ゲート電極3上を境としてソース電極側を開孔し、ドレインN⁻拡散層4dを被覆し、ドレイン電極コンタクト部を開孔したドレインN⁻拡散層被覆レジストマスク10にてソース側N⁻拡散層6b、ドレイン側N⁻拡散層6cをリンまたはヒ素等の高濃度N型不純物注入により形成する。

【0027】以上の製造方法により、サイドウォール9付のMOSFETを得ることができ、実施例3と同様の構成によって実施例3と同様に高周波特性の向上、耐圧の向上、しきい値電圧の安定化を図ることが可能となる。また、ソース・ドレインN⁻拡散層6b、6cを形成する際に、ソース側にサイドウォール9を設けたことに

よって、セルフアラインにてソース側N⁻拡散層4cを残すことができる。

【0028】

【発明の効果】以上のように、この発明によれば、ゲート電極のソース側に、基板と異なった導電型の高濃度なソース不純物拡散層が形成されているので、トランジスタのオン抵抗を低減することができる。また、上記ソース不純物拡散層を覆うように形成された、基板と同じ導電型の不純物拡散層によって、ドレイン・ソース間耐圧の向上、しきい値電圧の変動の抑制、ゲート・ソース間容量の低減を図ることができる効果がある。

【0029】また、ゲート電極端からドレイン不純物拡散層までの距離を長くすることで、ドレイン・ソース間に逆方向電圧を印加した際に、空乏層がドレイン側に広がるようになり、電界強度が緩和され、耐圧が向上する効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるMOS型電界効果トランジスタの断面構成図である。

【図2】上記MOS型電界効果トランジスタの製造方法を示す図である。

【図3】本発明の第2の実施例によるMOS型電界効果トランジスタの断面構成図である。

【図4】上記MOS型電界効果トランジスタの製造方法を示す図である。

【図5】本発明の第3の実施例によるMOS型電界効果トランジスタの断面構成図である。

【図6】上記MOS型電界効果トランジスタの製造方法を示す図である。

【図7】本発明の第4の実施例によるMOS型電界効果トランジスタの断面構成図である。

【図8】上記MOS型電界効果トランジスタの製造方法を示す図である。

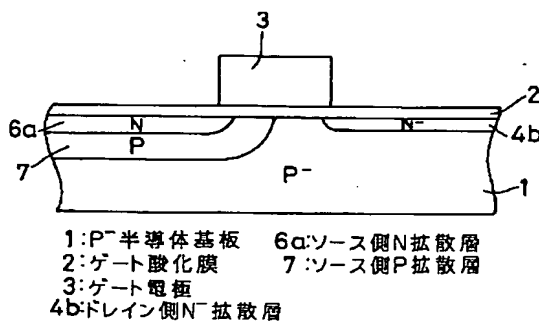
【図9】従来のMOS型電界効果トランジスタの製造方法を示す断面構成図である。

【図10】従来例の他の例におけるMOS型電界効果トランジスタの製造方法を示す断面構成図である。

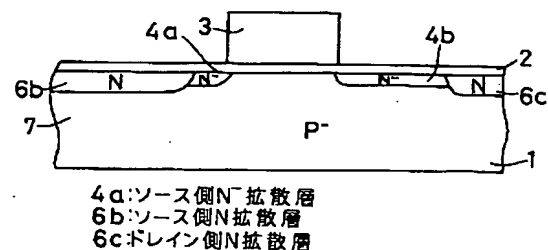
【符号の説明】

- 1 P⁻半導体基板
- 2 ゲート酸化膜
- 3 ゲート電極
- 4a ソース側N⁻拡散層
- 4b ドレイン側N⁻拡散層
- 4c ソース側N⁻拡散層
- 4d ドレイン側N⁻拡散層
- 5 ドレイン部被覆レジストマスク
- 6a ソース側N⁻拡散層
- 6b ソース側N⁻拡散層
- 6c ドレイン側N⁻拡散層
- 6d ドレイン側N⁻拡散層
- 7 ソース側P⁻拡散層
- 8 N⁻拡散層被覆レジストマスク
- 9 サイドウォール
- 10 ドレインN⁻拡散層被覆レジストマスク

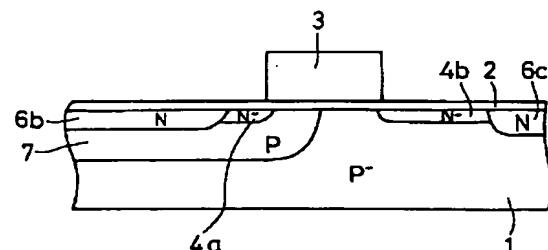
【図1】



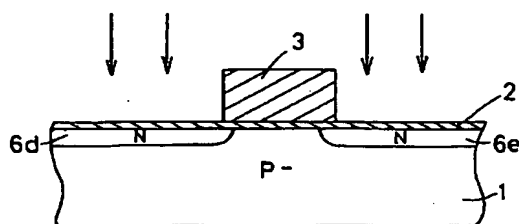
【図3】



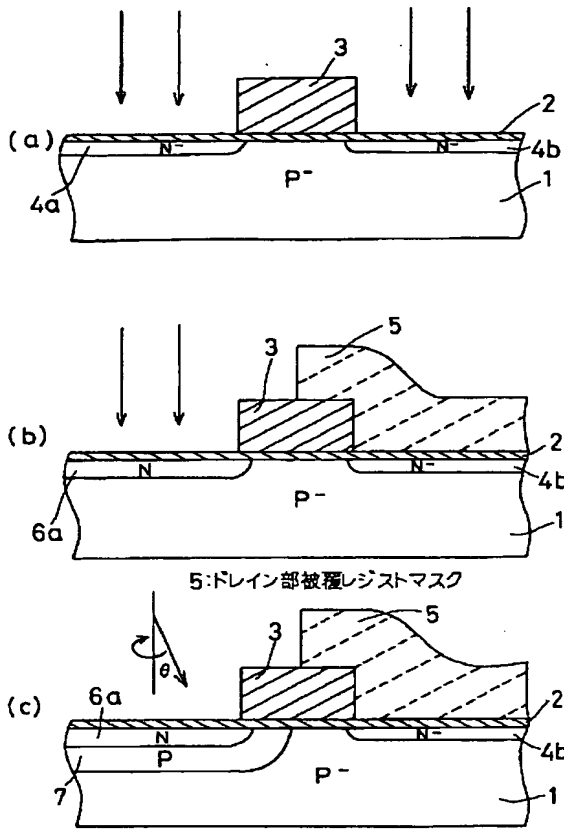
【図5】



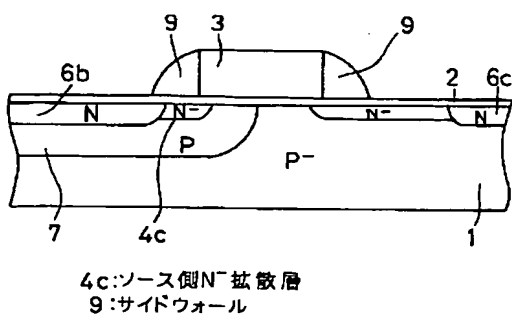
【図9】



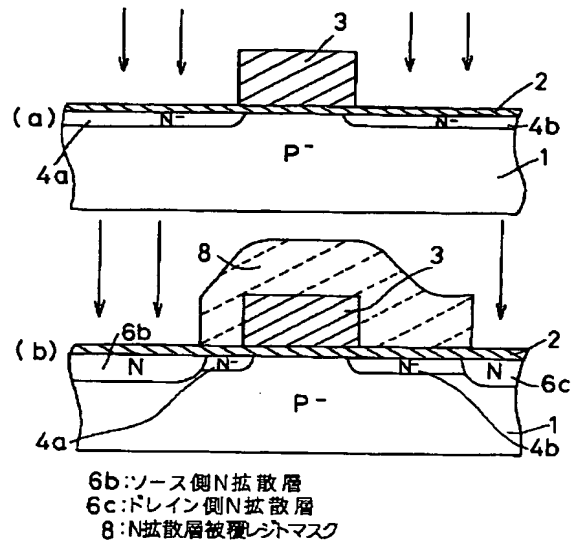
【図2】



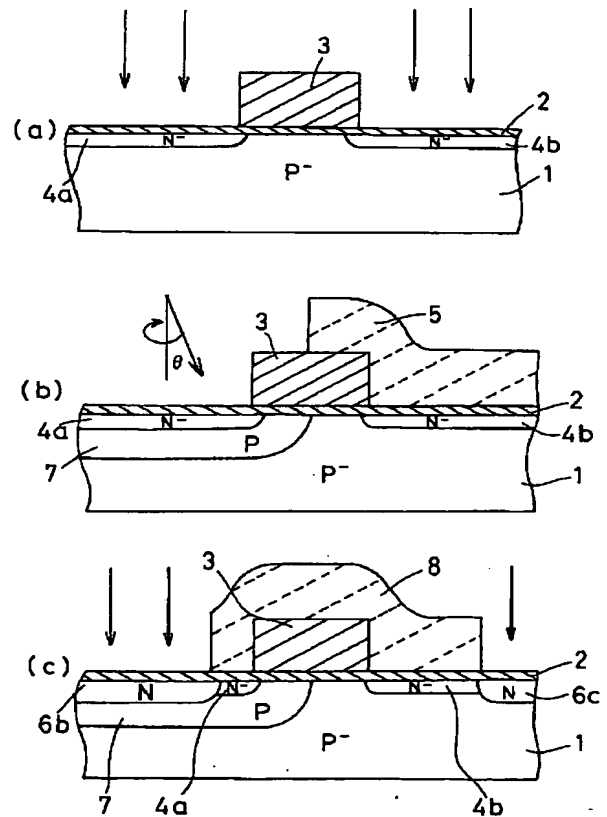
【図7】



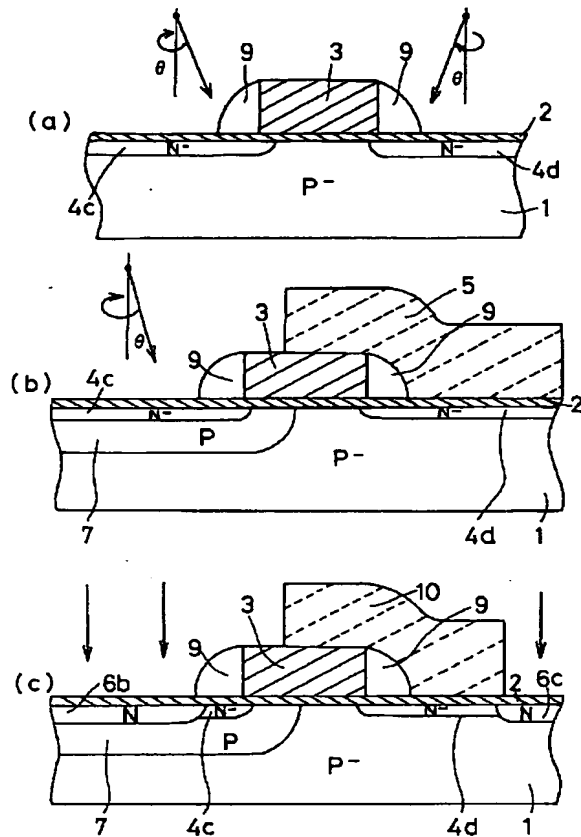
【図4】



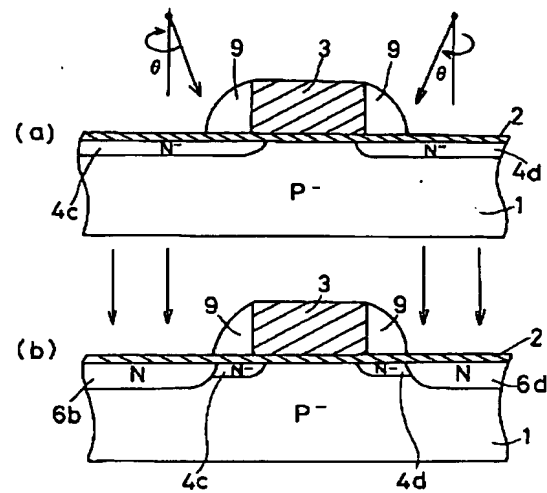
【図6】



【図8】



【図10】



【手続補正書】

【提出日】平成6年7月20日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

【補正内容】

【請求項2】 第1導電型の半導体基板の所定領域に形成されたゲート電極と、該ゲート電極両側に該電極から所定距離離して形成されたソース及びドレイン高濃度不純物拡散層と、該両高濃度不純物拡散層とゲート電極との間に形成され、前記ソース及びドレイン高濃度不純物拡散層よりも不純物濃度の低い低濃度不純物拡散層とを備えた電界効果トランジスタにおいて、
 上記ソース側の高濃度不純物拡散層の上記ゲート電極までの距離は、上記ドレイン側の高濃度不純物拡散層から上記ゲート電極までの距離よりも短かく、
上記ソース側の低濃度不純物拡散層の下側に、これを覆うように形成された、上記基板よりも不純物濃度の高い第1導電型不純物拡散層を有することを特徴とする電界効果トランジスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

【補正内容】

【請求項3】 請求項2記載の電界効果トランジスタにおいて、
上記ゲート電極両側にサイドウォールを有することを特徴とする電界効果トランジスタ。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項4

【補正方法】変更

【補正内容】

【請求項4】 ゲート電極をマスクに用いて不純物注入を行いソース・ドレイン不純物拡散層を形成する工程を有する電界効果トランジスタの製造方法において、第1導電型の半導体基板上の所定領域に形成されたゲート電極をマスクとして第2導電型の不純物注入を行いソース・ドレイン側低濃度不純物拡散層を形成する工程と、
 上記ゲート電極を中心としてソース電極側を開孔し、か

つドレイン電極側を被覆するフォトレジストパターンを上記基板上に形成し、該フォトレジストパターンをマスクとして第2導電型の不純物注入を行い上記ソース側低濃度不純物拡散層をソース側高濃度不純物拡散層に変化させる工程と、

上記フォトレジストパターンをマスクとして第1導電型の不純物を斜め回転注入して上記ソース側高濃度不純物拡散層の下方に、これを覆うように、上記基板よりも不純物濃度の高い第1導電型不純物拡散層を形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】請求項5

【補正方法】変更

【補正内容】

【請求項5】 ゲート電極をマスクに用いて不純物注入を行いソース・ドレイン不純物拡散層を形成する工程を有する電界効果トランジスタの製造方法において、第1導電型の半導体基板上の所定領域に形成されたゲート電極をマスクとして第2導電型の不純物注入を行いソース・ドレイン側低濃度不純物拡散層を形成する工程と、

上記ソース側低濃度不純物拡散層よりもドレイン側低濃度不純物拡散層の方が被覆幅が大きなフォトレジストパターンを上記基板上に形成し、該フォトレジストパターンをマスクとして第2導電型の不純物注入を行い、ソース・ドレイン側高濃度不純物拡散層を形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】請求項6

【補正方法】変更

【補正内容】

【請求項6】 ゲート電極をマスクに用いて不純物注入を行いソース・ドレイン不純物拡散層を形成する工程を有する電界効果トランジスタの製造方法において、第1導電型の半導体基板上の所定領域に形成されたゲート電極をマスクとして第2導電型の不純物注入を行いソース・ドレイン側低濃度不純物拡散層を形成する工程と、

上記ゲート電極を中心としてソース電極側を開孔し、かつドレイン電極側を被覆するフォトレジストパターンを上記基板上に形成し、該フォトレジストパターンをマスクとして第1導電型の不純物注入を行い、上記ソース側高濃度不純物拡散層の下方に、これを覆うように、上記基板よりも不純物濃度の高い第1導電型不純物拡散層を形成する工程と、

上記フォトレジストパターンを除去した後、上記ソース

側低濃度不純物拡散層よりもドレイン側低濃度不純物拡散層の方が被覆幅の大きなフォトレジストパターンを上記基板上に形成し、該フォトレジストパターンをマスクとして第2導電型の不純物注入を行い、ソース・ドレイン側高濃度拡散層を形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】請求項7

【補正方法】変更

【補正内容】

【請求項7】 ゲート電極をマスクに用いて不純物注入を行いソース・ドレイン不純物拡散層を形成する工程を有する電界効果トランジスタの製造方法において、第1導電型の半導体基板上の所定領域に形成されたゲート電極及びこれの側壁に形成されたサイドウォールをマスクとして第2導電型の不純物を斜め回転注入してソース・ドレイン側低濃度不純物拡散層を形成する工程と、上記ゲート電極を中心としてソース電極側を開孔し、かつドレイン電極側を被覆するフォトレジストパターンを上記基板上に形成し、該フォトレジストパターンをマスクとして第1導電型の不純物注入を行い、上記ソース側低濃度不純物拡散層の下方に、これを覆うように、上記基板よりも不純物濃度の高い第1導電型不純物拡散層を形成する工程と、

上記ソース側低濃度不純物拡散層よりもドレイン側低濃度不純物拡散層の方が被覆幅の大きなフォトレジストパターンを上記基板上に形成し、該フォトレジストパターンをマスクとして第2導電型の不純物注入を行い、ソース・ドレイン側高濃度不純物拡散層を形成する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】次に従来のMOSFETの製造工程の一部について説明する。図9において、P型半導体基板1上にゲート酸化膜2を熱酸化にて数十nm成膜する。その上部全面に高融点金属または多結晶シリコン膜を数百nm成膜し、長さ1μm程度のゲート電極3に加工する。次いで該ゲート電極3をマスクとしてリンまたはヒ素等のN型不純物を注入して、ソース側N拡散層6d、ドレイン側N拡散層6eをそれぞれ形成する。以後、不純物アニール（図示せず）、層間膜形成、配線形成工程を経てMOSFETの全工程が完了する。次に動作について説明する。周知のように、図示していないドレイン電極に正電圧を印加し、ソース電極を接地し、ゲート電極3に正電圧を印加することで、ゲート電極3直下のP-型

半導体基板1がN型に反転し、MOSFETとして動作する。逆にドレイン電極とソース電極間に逆方向電圧を印加した際に、ゲート電極3直下のドレインN拡散層6eが最も高電界となり、アバランシェ降伏を引き起こす。さらに、P-型半導体基板1の不純物濃度がドレインN拡散層6eの不純物濃度よりも低い場合、ドレインN拡散層6eより発生する空乏層がソースN拡散層6dに到達し、パンチスルー降伏が発生する。また、ゲート電極3に印加するしきい値電圧は、P-型半導体基板1の不純物濃度とゲート酸化膜2の膜厚とによって決定される。図9の構造において、ゲート電極3の長さを1 μ m以下にした場合、前述のアバランシェ降伏、パンチスルー降伏が顕著になり、実用に耐える降伏電圧が得られなくなる。また、ゲート電極3直下の等電位面が湾曲するために、しきい値電圧の低下が生じることとなる。このためスイッチング動作が不安定となり、高周波帯でのアイソレーション特性が低下するという問題が生じる。なおここではn型MOSFETについて説明したが、p型MOSFETにおいても、しきい値電圧の上昇のために定格動作しにくくなり、スイッチング動作が不安定となる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【発明が解決しようとする課題】従来の電界効果トランジスタは以上のように構成されているので、ゲート長の短縮に伴って降伏電圧が低下するという問題が不可避となり、しきい値電圧の低下の抑制が困難になるという問題点があった。そしてこれらの問題点の解決策として上述のようにLDD構造を採用した場合、一般的なIC回路では十分な効果が得られるが、高周波にて大電力動作する回路に用いられた場合には十分な効果が得られないという問題点があった。また、基板濃度自身を濃くすることにより、降伏電圧の低下及びしきい値電圧の低下の抑制を図る方法も知られているが、このような方法ではゲート電極直下に発生するチャンネルを走行する電子の移動度の低下を引き起してしまい、高速動作化に対して不利となるという問題点があった。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】この発明は上記のような問題点を解消するためになされたもので、ゲート長を短縮しても降伏電圧の低下、しきい値電圧の変動を抑制することができ、高周波動作化、高耐圧化が可能なMOS型電界効果トラン

ジスタを得ることを目的としており、さらに上記MOS型電界効果トランジスタを得るのに適した製造方法を提供することを目的とする。また、ソース側の低濃度不純物拡散層をドレイン側の低濃度不純物拡散層よりも短く形成するにあたり、十分なソース・ドレイン耐圧が得られるMOS型電界効果トランジスタの製造方法を提供することを目的とする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】

【課題を解決するための手段】この発明に係る電界効果トランジスタは、ゲート電極のソース側に、基板と導電型の異なる高濃度なソース不純物拡散層を設け、さらにこれを下方から覆うように、基板よりも不純物濃度の高い、基板と同一導電型の不純物拡散層を備えたものである。また、この発明に係る電界効果トランジスタは、ゲート電極を中心として、その長さがドレイン側不純物拡散層までの長さよりも短いソース側低濃度不純物拡散層と、該ソース側低濃度不純物拡散層及びソース側不純物拡散層とを下方から覆う、上記基板よりも不純物濃度が高く、かつ基板と同一導電型の不純物拡散層を備えたものである。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】また、この発明に係る電界効果トランジスタの製造方法は、ソース、ドレイン側不純物拡散層を形成する際に、レジストを用いてソース及びドレイン側の低濃度不純物拡散層の所定部分をマスクするようにしたものである。また、この発明に係る電界効果トランジスタの製造方法は、ソース、ドレイン側不純物拡散層を形成する際に、サイドウォールを用いてソース側の低濃度不純物拡散層の所定部分をマスクするようにしたものである。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【作用】この発明においては、ゲート電極のソース側に、基板と異なった導電型の高濃度なソース不純物拡散層が形成されているので、トランジスタのオン抵抗が低減される。また、上記ソース不純物拡散層を覆うように形成された、基板と同じ導電型でかつ基板よりも不純物

濃度の高い不純物拡散層によって、ドレイン・ソース間耐圧の向上、しきい値電圧の変動の抑制、ゲート・ソース間容量、ゲート・ドレイン間容量の低減を図ることができる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】また、ゲート電極端からドレイン不純物拡散層までの距離を長くすることで、ドレイン・ソース間に逆方向電圧を印加した際に、空乏層がドレイン側に拡がるようになり、電界強度が緩和され耐圧が向上する一方、ソース側低濃度不純物拡散層及びソース側不純物拡散層が下方から基板よりも不純物濃度が高く、基板と同一導電型の不純物拡散層で覆われているため、ドレイン・ソース間耐圧の向上、しきい値電圧の変動の抑制、ゲート・ソース間容量、ゲート・ドレイン間容量の低減を図ることができる。また、ソース、ドレイン側不純物拡散層を形成する際に、レジストを用いてソース及びドレイン側の低濃度不純物拡散層の所定部分をマスクすることにより、低濃度不純物拡散層の不純物濃度が上昇するのを抑制することができる。また、ソース、ドレイン側不純物拡散層を形成する際に、サイドウォールを用いてソース側の低濃度不純物拡散層の所定部分をマスクすることにより、セルフアラインにて低濃度不純物拡散層を形成でき、また該拡散層の不純物濃度の上昇を抑制することができる。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】次に作用効果について説明する。ソース側N拡散層6aを高濃度化することでソース寄生抵抗が低下し、その分オン抵抗が低下し、低電圧動作化が図れる。また、ドレイン・ソース間に逆電圧を印加した際に、基板1よりも不純物濃度の高いソース側P拡散層7が存在するために、ゲート電極3直下に空乏層が拡がりにくくなり、このため短チャネル効果によるパンチスルー降伏を抑制し、ドレイン・ソース間耐圧を向上することができる。また、ソース側P拡散層7のためにゲート電極3直下のP型の不純物濃度が部分的に上昇するが、ゲート電極3直下のドレイン側のP型不純物濃度はP-半導体基板1と同様であり、このため電子の移動度を向上させるためにP-半導体基板1の濃度を低下させても、上記部分的にP型不純物濃度の高い領域が存在するためにしきい値電圧の低下を招くことはない。さらに、ソース側N拡散層6aの外周部およびゲート電極3直下にソース側P拡散層7が分布することから、ソース側N

拡散層6aとゲート電極3間の重なり部分を低減でき、このためゲート・ソース間容量を低減することが可能となり、ゲート・ソース間容量と反比例の関係にある遮断周波数を向上させることが可能となる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】次に製造方法について説明する。図4(a)は上記図2(a)の工程と同一の工程であり、ゲート電極3をマスクとしてリンまたはヒ素等のN型不純物を注入し、ソース側N-拡散層4aとドレイン側N-拡散層4bを形成する。続いて図4(b)に示すように、ゲート電極3、及びソース側N-拡散層4aとドレイン側N-拡散層4bの一部を被覆するN-拡散層被覆レジストマスク8を形成する。この場合、ソース側N-拡散層4aの一部の被覆巾は1μm以下とし、ドレイン側N-拡散層4bの一部の被覆巾は2μm程度とする。これはソース側N-拡散層4aについては最終的に形成される該拡散層4aによってゲート電極3との重なりを極力狭くすることでゲート・ソース間容量を低減するためであり、これにより遮断周波数を向上させることが可能となる。ただし、このときN-拡散層被覆レジストマスク8による該拡散層4a部分の被覆巾が大きくなると、ソース抵抗の増大を引き起こし、高周波特性の低下を引き起こすことになる。一方、ドレイン側N-拡散層4bについては、図示していないドレイン電極、ソース電極間に逆電圧を印加した際に発生する空乏層を、ゲート電極3直下のみにではなく最終的に形成されるドレイン側N-拡散層4bの範囲にわたって拡げることによりドレイン側N-拡散層4bのゲート電極3端部における電界を緩和する効果を奏するものであるため、ドレイン側N-拡散層6cはゲート電極3からドレイン側N-拡散層4b分の適度の距離をとって形成する必要がある。さらにドレイン側N-拡散層4bとゲート電極3との重なりによって生じるゲート・ドレイン間容量は、ソース側P拡散層7のドレイン側への拡散を拡張することと、ドレイン側N-拡散層7の低濃度化によってさらに低下することができる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】このように本実施例によれば、ゲート電極3をマスクとして不純物注入を行いソース、ドレイン側N-拡散層4a、4bを形成し、N-拡散層被覆レジストマスク8を用いて必要な部分をカバーしてソース、ドレイン側N-拡散層6b、6cを形成するようにしたから、

ソース領域側のN-拡散層4aの濃度を上げることなく、ゲート電極3に対して、ソース領域側のN-拡散層4aをドレイン電極側のN-拡散層4bよりも短く形成でき、これによりゲート電極3とN拡散層6bとの重なりが確実に小さくなり、ゲート・ソース間容量を低減でき、またソース領域側のN-拡散層4aよりも長く形成されたドレイン電極側のN-拡散層4bにより、ドレイン・ソース間に逆方向電圧が印加した際に空乏層がドレイン側により大きく拡がるようになり、ドレイン・ソース間耐圧を向上することができる。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】以上のように構成することにより、ソース側N-拡散層4aが基板1よりも不純物濃度の高いP拡散層7で覆われているため、N-拡散層4aとゲート電極3の重なり部分が低減されて、ゲート・ソース間容量の低下による高周波特性の向上と、パンチスルー降伏、アバランシェ降伏の抑制による耐圧の向上が図れ、さらにソース・ドレイン間に基板1よりも不純物濃度の高い拡散層7があるために、ゲート電極3の長さを短縮した際の短チャネル効果によるしきい値電圧の変動が防止できる。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】以上の製造方法により、サイドウォール9付のMOSFETを得ることができ、実施例3と同様の構成によって実施例3と同様に高周波特性の向上、耐圧の向上、しきい値電圧の安定化を図ることが可能となる。また、ソース・ドレインN拡散層6b、6cを形成する際に、ソース側にサイドウォール9を設けたことにより、セルフアラインにてソース側N-拡散層4cを残すことができ、上記実施例3のようにレジストを用いる場合よりも高い製造精度が得られる。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】

【発明の効果】以上のように、この発明によれば、ゲート電極のソース側に、基板と異なった導電型の高濃度なソース不純物拡散層が形成されているので、トランジスタのオン抵抗を低減することができる。また、上記ソース不純物拡散層を覆うように形成された、基板と同じ導電型の不純物拡散層によって、ドレイン・ソース間耐圧の向上、しきい値電圧の変動の抑制、ゲート・ソース間容量、ゲート・ドレイン間容量の低減を図ることができる効果がある。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】また、ゲート電極端からドレイン不純物拡散層までの距離を長くすることで、ドレイン・ソース間に逆方向電圧を印加した際に、空乏層がドレイン側に拡がるようになり、電界強度が緩和され、耐圧が向上する一方、ソース側低濃度不純物拡散層及びソース側不純物拡散層を下方から基板よりも不純物濃度が高く、基板と同一導電型の不純物拡散層で覆うことで、ドレイン・ソース間耐圧の向上、しきい値電圧の変動の抑制、ゲート・ソース間容量、ゲート・ドレイン間容量を低減できる効果がある。さらに、ソース、ドレイン側不純物拡散層を形成する際に、レジストを用いてソース及びドレイン側の低濃度不純物拡散層の所定部分をマスクすることにより、該拡散層の不純物濃度の上昇を抑え、かつ低濃度不純物拡散層の大きさを精度よく制御でき、ゲートオーバーラップ容量を確実に低減することができる効果がある。また、ソース、ドレイン側不純物拡散層を形成する際に、サイドウォールを用いてソース側の低濃度不純物拡散層の所定部分をマスクすることにより、該拡散層の不純物濃度の上昇を抑え、かつセルフアラインにて低濃度不純物拡散層の大きさを精度よく制御できる効果がある。